

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-191297

(43)Date of publication of application : 13.07.1999

(51)Int.Cl.

G11C 16/02

(21)Application number : 09-359840

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.12.1997

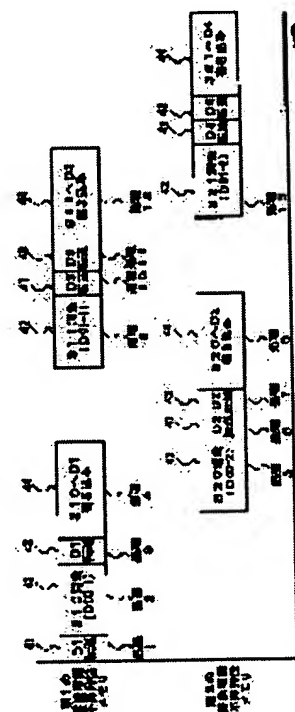
(72)Inventor : KATAYAMA KUNIHIRO  
WATAYA HITOSHI  
TAMURA TAKAYUKI  
TOTSUKA TAKASHI

(54) HIGH SPEED REWRITABLE MEMORY DEVICE USING NONVOLATILE MEMORY AND METHOD OF REWRITING DATA IN SAID MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a rewrite time by executing a deleting operation of other memory blocks to be rewritten in next in parallel with writing operation into a certain memory block when plural consecutive data blocks are rewritten.

SOLUTION: When it is confirmed that a writing data block D2 into a memory block 320 ended normally, a transfer processing 41 for transferring the data block D3 a buffer memory is executed (processing 10), and a transfer processing 43 for transferring the data D3 to a block 311 of a first rewritable nonvolatile memory (processing 11) and a write processing 44 (processing 12) for successively writing this data D3 into the memory block 311 are successively executed. A similar processing (processing 13-) are executed on the processing for rewriting a fourth data block D4 into a memory block 321. Hereafter, contents of memory blocks are sequentially rewritten. And, it is possible to execute an erase processing 42 in parallel with the write processing 44.



## LEGAL STATUS

[Date of request for examination]

31.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3550293

[Date of registration]

30.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] The store carry out [ that it was made performing the elimination actuation of other memory block which rewrites next in parallel to the write-in actuation to a certain memory block when rewriting two or more continuous data blocks in the store which treats the processing which rewrites the data which have the rewritable nonvolatile memory which needs elimination actuation at the time of data rewriting, and were stored in said rewritable nonvolatile memory per block, and ] as the description.

[Claim 2] In the storage which treats the processing which rewrites the data which have the rewritable nonvolatile memory which needs elimination actuation at the time of data rewriting, and were stored in said rewritable nonvolatile memory per block A data storage means to memorize a write data temporarily before writing data in said rewritable nonvolatile memory, By transmitting all the all [ some or ] stored in said data storage means at the time of two or more blocks continuous rewriting to said rewritable nonvolatile memory Storage characterized by having the data rewriting control means which performs write-in actuation of a certain block, and performs elimination of other blocks which rewrites next in parallel to it.

[Claim 3] The store characterized by transmitting the storing data of a data storage means to another block, and performing write-in processing when memory block which wrote in is poor and writing is not normally completed in the store indicated by claim 2.

[Claim 4] In the storage which treats the processing which rewrites the data which have the rewritable nonvolatile memory which needs elimination actuation at the time of data rewriting, and were stored in said rewritable nonvolatile memory per block A data storage means to memorize a write data temporarily before writing data in said rewritable nonvolatile memory, A rewritable nonvolatile memory elimination means to eliminate specific memory block of the specific chip of rewritable nonvolatile memory, The data write-in means which writes in by transmitting the data stored in said data storage means to specific memory block of the specific chip of rewritable nonvolatile memory, It has the rewriting control means which controls said account elimination means of memory, and said data write-in means, and stores the data of one or more memory block in rewritable nonvolatile memory. When rewriting said memory block by two or more continuous data blocks While said rewriting control means stores in a data storage means the data which perform (1) rewriting At the same time it writes in memory block of the rewritable nonvolatile memory which control (2) elimination which eliminates the content of memory block of the rewritable nonvolatile memory used as the object which rewrites completed by transmitting the data stored in the data storage means Storage characterized by performing control which stores in a data storage means the data which will be written in a degree if the control (3) writing which eliminates memory block used as the object which rewrites to the degree in another chip which is not writing in is completed normally.

[Claim 5] The data rewriting approach of a store of carrying out performing the elimination actuation of other memory block which rewrites next in parallel to the write-in actuation to a certain memory block when rewriting two or more continuous data blocks in the data rewriting approach of a store of treating the processing which rewrites the data which have the rewritable nonvolatile memory which needs elimination actuation at the time of data rewriting, and were stored in said rewritable nonvolatile memory per block as the description.

[Claim 6] At the time of data rewriting, the rewritable nonvolatile memory which needs elimination actuation, and a data storage means, In the data rewriting approach of a store of treating the processing which rewrites the data which have a data rewriting control means and were stored in said rewritable nonvolatile memory per block Before writing data in said rewritable nonvolatile memory, a write data is temporarily memorized for a data storage means. While transmitting all the all [ some or ] stored in the data storage means to said rewritable nonvolatile memory and performing write-in actuation of a certain memory block at the time of two or more blocks continuous rewriting The

data rewriting approach of the store characterized by performing elimination of other blocks which rewrites next in parallel to this write-in actuation.

[Claim 7] The data rewriting approach of the store characterized by transmitting the storing data of a data storage means to another block, and performing write-in processing when memory block which wrote in is poor and writing is not normally completed in the data rewriting approach of the store indicated by claim 6.

[Claim 8] At the time of data rewriting, the rewritable nonvolatile memory which needs elimination actuation, and a data storage means, In the data rewriting approach of a store of treating the processing which rewrites the data which have a rewritable nonvolatile memory elimination means, a data write-in means, and a rewriting control means, and were stored in said rewritable nonvolatile memory per block Before writing data in said rewritable nonvolatile memory, a write data is temporarily memorized for said data storage means. While the data which rewrite are stored in said data storage means, memory block of the rewritable nonvolatile memory used as the object which rewrites is eliminated. At the same time it writes in memory block of the rewritable nonvolatile memory which elimination completed by transmitting the data stored in said data storage means The data rewriting approach of the store characterized by storing in said data storage means the data which will be written in a degree if the content of memory block used as the object which rewrites to the degree in another chip which is not writing in is eliminated and writing is completed normally.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

**[Field of the Invention]** This invention relates to the store which has the rewritable nonvolatile memory which needs elimination actuation at the time of rewriting of storing data, and its data rewriting approach, and relates to the store which realizes improvement in the data rewriting rate to a store especially, and its data rewriting approach.

**[0002]**

**[Description of the Prior Art]** The nonvolatile memory [ it is possible to rewrite the content of storage electrically, and ] rewritable electric to which the content of storage is not extinguished even if it turns off the power is mainly widely used as storage of an information processor. There is some rewritable nonvolatile memory which rewrites data by performing processing which writes in new data, once it eliminates data. When rewriting data in such a procedure, there is a problem of two steps needing to be operated [ of the writing of elimination of data and data ], and taking much time amount before rewriting is completed thoroughly.

**[0003]** In order to solve such a problem, more various techniques than before are proposed. For example, with the technique indicated by JP,5-27924,A, before writing data in rewritable nonvolatile memory, the apparent rewriting rate is improved by preparing the buffer memory which memorizes data temporarily.

**[0004]**

**[Problem(s) to be Solved by the Invention]** When raising a rewriting rate by having the buffer memory which memorizes data temporarily like the above-mentioned conventional technique, it becomes possible to rewrite to two or more rewritable non-volatile memory chips at once. That is, the time amount theoretically spent on writing can be shortened for 1/several chips by sending into two or more chips the data temporarily memorized to buffer memory, and performing write-in processing simultaneously.

**[0005]** However, in order to write simultaneously the data which juxtaposition was operated and memorized much rewritable nonvolatile memory to buffer memory in two or more memory chips, the buffer memory of the part many is needed. Because, a write data will be lost, when it did not leave the data written in the memory chip to buffer memory until writing was completed normally and writing should go wrong. In order to abolish disappearance of such a write data, the buffer memory for several chip minutes which is performing write-in processing after all is needed.

**[0006]** According to the above technique, in order to shorten the write time to a memory chip, with the increment in buffer memory, the cost of equipment goes up or various evils, such as buildup of the magnitude of equipment or weight and an increment in power consumption, are born.

**[0007]** It is shown in aiming at compaction of rewriting time amount by performing efficient rewriting processing doubled with the property of a memory chip, without making buffer memory the object of this invention increase so that there may be no above-mentioned evil in view of such a trouble.

**[0008]**

**[Means for Solving the Problem]** In order to attain the above-mentioned object, when rewriting two or more continuous data blocks, it was made this invention having had the rewritable nonvolatile memory which needs elimination actuation at the time of data rewriting, and it having performed the elimination actuation of other memory block which rewrites next in parallel to the write-in actuation to a certain memory block in the store which treats the processing which rewrites the data stored in said rewritable nonvolatile memory per block.

**[0009]** In the storage which treats the processing which rewrites the data which this invention has the rewritable nonvolatile memory which needs elimination actuation at the time of data rewriting, and were stored in said rewritable nonvolatile memory per block A data storage means to memorize a write data temporarily before writing data in said rewritable nonvolatile memory, By transmitting all the all [ some or ] stored in said data storage means at the time of

two or more blocks continuous rewriting to rewritable nonvolatile memory. It has the data rewriting control means which performs write-in actuation of a certain block, and performs elimination of other blocks which rewrites next in parallel to it.

[0010] Furthermore, memory block of this invention which wrote in was poor, and when writing was not completed normally, it transmits the storing data of a data storage means to another block, and was made to perform write-in processing in the above-mentioned store.

[0011] In the storage which treats the processing which rewrites the data which this invention has the rewritable nonvolatile memory which needs elimination actuation at the time of data rewriting, and were stored in said rewritable nonvolatile memory per block. A data storage means to memorize a write data temporarily before writing data in said rewritable nonvolatile memory, A rewritable nonvolatile memory elimination means to eliminate specific memory block of the specific chip of rewritable nonvolatile memory, The data write-in means which writes in by transmitting the data stored in said data storage means to specific memory block of the specific chip of rewritable nonvolatile memory, It has the rewriting control means which controls said account elimination means of memory, and said data write-in means, and stores the data of one or more memory block in rewritable nonvolatile memory. When rewriting said memory block by two or more continuous data blocks. While said rewriting control means stores in a data storage means the data which perform (1) rewriting. At the same time it writes in memory block of the rewritable nonvolatile memory which control (2) elimination which eliminates the content of memory block of the rewritable nonvolatile memory used as the object which rewrites completed by transmitting the data stored in the data storage means. Below the control (4) that stores in a data storage means the data which will be written in a degree if the control (3) writing which eliminates memory block used as the object which rewrites to the degree in another chip which is not writing in is completed normally. It was made to perform control which repeats and performs the above (2) and processing of (3) until all of rewriting of two or more continuous memory block were completed.

[0012] Moreover, in order to solve the above-mentioned technical problem, this invention has the rewritable nonvolatile memory which needs elimination actuation at the time of data rewriting, and when rewriting two or more continuous data blocks, it performs the elimination actuation of other memory block which rewrites next in parallel to the write-in actuation to a certain memory block in the data rewriting approach of a store of treating the processing which rewrites the data stored in said rewritable nonvolatile memory per block.

[0013] This invention at the time of data rewriting. The rewritable nonvolatile memory which needs elimination actuation, In the data rewriting approach of a store of treating the processing which rewrites the data which have a data storage means and a data rewriting control means, and were stored in said rewritable nonvolatile memory per block. Before writing data in said rewritable nonvolatile memory, a write data is temporarily memorized for a data storage means. While transmitting all the all [ some or ] stored in the data storage means to said rewritable nonvolatile memory and performing write-in actuation of a certain memory block at the time of two or more blocks continuous rewriting, elimination of other blocks which rewrites next is performed in parallel to this write-in actuation.

[0014] In the data rewriting approach of the above-mentioned store, memory block of this invention which wrote in is poor, and when writing is not completed normally, it transmits the storing data of a data storage means to another block, and performs write-in processing.

[0015] This invention at the time of data rewriting. The rewritable nonvolatile memory which needs elimination actuation, A data storage means, a rewritable nonvolatile memory elimination means, and a data write-in means, In the data rewriting approach of a store of treating the processing which rewrites the data which have a rewriting control means and were stored in said rewritable nonvolatile memory per block. Before writing data in said rewritable nonvolatile memory, a write data is temporarily memorized for said data storage means. While the data which rewrite are stored in said data storage means, memory block of the rewritable nonvolatile memory used as the object which rewrites is eliminated. At the same time it writes in memory block of the rewritable nonvolatile memory which elimination completed by transmitting the data stored in said data storage means. The content of memory block used as the object which rewrites to the degree in another chip which is not writing in is eliminated, and if writing is completed normally, the data written in a degree are stored in said data storage means.

[0016] [Embodiment of the Invention] Hereafter, the operation gestalt of the storage concerning this invention is explained with reference to a drawing. The example of 1 configuration of the storage which realizes this invention to drawing 1 is shown. The storage 1 which has rewritable nonvolatile memory among drawing has the control means 10 which controls each part of storage 1, and an interface with a host system, two or more rewritable nonvolatile memory 30, and the buffer memory 20 which stores data temporarily, is constituted, and is connected to the host system which omitted

the graphic display through the system bus 2. Furthermore, a control means 10 has the rewriting control means 11, the nonvolatile memory elimination means 12, and the data write-in means 13, and is constituted as follows.

[0017] A control means 10 controls each part of storage 1, and an interface with a host system. Buffer memory 20 works as a data storage means to store data temporarily, in case a host system moves an exchange of the data between a host system and rewritable nonvolatile memory including rewriting to the rewritable nonvolatile memory 30, and the storing data of the rewritable nonvolatile memory 30. The rewritable nonvolatile memory 30 is constituted using the rewritable nonvolatile memory which consists of a ROM rewritable on for example, an electric target. A system bus 2 is used in case a host system, and data and the control signal which omitted the graphic display are exchanged.

[0018] The rewriting means 11 attains the rewriting control function which controls the rewritable nonvolatile memory elimination means 12 and the data write-in means 13, and stores the data of one or more blocks in the rewritable nonvolatile memory 30. The rewritable nonvolatile memory elimination means 12 attains the rewritable nonvolatile memory elimination function which eliminates specific memory block of the specific chip of the rewritable nonvolatile memory 30. The data write-in means 13 attains the data write-in function which writes in by transmitting the data stored in buffer memory 20 to specific memory block of the specific chip of the rewritable nonvolatile memory 30.

[0019] The system bus 2 is laid at the host-system side. If a host system sends the access request of data to storage 1 through a system bus 2, the physical location on [ rewritable ] nonvolatile memory 30 (memory block) where the data with which the control means 10 in the carrier beam storage 1 corresponds this with the content of the access request are stored is deduced, and a host's access request is met, using buffer memory 20 suitably.

[0020] Especially the path of the data written in the rewritable nonvolatile memory 30 in the store 1 shown in drawing 1 is taken out and explained using drawing 2. the time of rewriting the data stored in memory block in [ rewritable / each ] nonvolatile memory -- a group -- it rewrites at once in the unit of data. Hereafter, the unit of the storage region in [ rewritable ] nonvolatile memory rewritten for every rewriting unit of this is called memory block. The rewritable nonvolatile memory 30 consists of two or more rewritable nonvolatile memory 31 and 32. Two or more memory block 310,311 - 320,321- are arranged in good order by each rewritable nonvolatile memory 31 and 32, respectively.

[0021] Although buffer memory 20 is the same as the buffer memory 20 shown in drawing 1, let it be the transfer buffer memory which functions as a data buffer used for data transfer especially here. The transfer buffer memory 20 and the rewritable nonvolatile memory 31 and 32 are connected through the data bus 14. It lets this data bus 14 pass, and a data transfer is performed from buffer memory 20 to the rewritable nonvolatile memory 31 and 32. A system bus 2 works also as a system data bus through a control means 10, and can be called local bus of a store 1.

[0022] In addition, although drawing 2 shows the example by which a control means 10 controls two rewritable nonvolatile memory 31 and 32, the number of the rewritable nonvolatile memory which a control means 10 generally controls does not need to be two, and it may increase further.

[0023] For example, as shown in drawing 3, three rewritable nonvolatile memory 31, 32, and 33 is connectable with juxtaposition through an internal data bus 14. Thus, since it becomes possible to perform more write-in processings to a memory chip to juxtaposition by increasing the number of the rewritable nonvolatile memory which carries out parallel processing, the write-in engine performance can be raised.

[0024] The sequence of the data rewriting processing in [ rewritable ] nonvolatile memory by the store 1 shown in drawing 1 and drawing 2 is explained using drawing 4. In drawing, an upper case shows the processing to the rewritable nonvolatile memory 31, and the lower berth shows the processing to the rewritable nonvolatile memory 32. The transfer processing 41 whose the processing of each transmits the data for 1 block (henceforth a data block) to the transfer buffer memory 20 from a system bus 2, The rewritable nonvolatile memory 31 and the elimination processing 42 which eliminates the data already written in memory block in 32, The transfer processing 43 which transmits the data for one data block to the rewritable nonvolatile memory 31 and 32 through a data bus 14 from buffer memory 20, There is write-in processing 44 which writes the data transmitted to the rewritable nonvolatile memory 31 and 32 in each memory block, and the time amount which each processing takes is shown by the die length. In addition, the width of face of the time amount of the transfer processing 41 - the rewriting processing 44 is not necessarily shown in proportion to the time amount required actually. Moreover, the processing time of the transfer processing 41 - the rewriting processing 44 is not always fixed respectively. Furthermore, "writing" means storing new data in the eliminated block, and after "rewriting" performs "elimination", it shall perform "writing" and shall be completed.

[0025] First, the case where the rewriting demand of the data D1-Dn of two or more data blocks which continued to the store 1 occurs from a host system is considered. Transfer processing 41 which stores the block [ 1st ] data D1 in the transfer buffer memory 20 through a system bus 2 is performed (processing 1). A control means 10 deduces the physical location (memory block) of memory block which places with the data stored in the current buffer memory 20,



and is changed. Suppose that this memory block 310 placed and changed is 1st in [rewritable] nonvolatile memory 31 with the gestalt of this operation. A control means 10 gives an instruction to the 1st rewritable nonvolatile memory 31, and performs elimination processing 42 which eliminates the data D 00-1 already stored in this block 310 (processing 2).

[0026] A check of that elimination of the data based on processing 2 was completed performs write-in processing 44 which a control means 10 performs transfer processing 43 which transmits the data D1 in buffer memory 20 to the rewritable nonvolatile memory 31 (processing 3), continues at it, and writes data D1 in memory block 310 (processing 4). The control means 10 is held without eliminating the data D1 in a buffer 20 until it checks that processing 4 has been completed thoroughly. Even if a certain error occurs within a store 1 and rewriting actuation is interrupted by carrying out like this during activation of the transfer processing 43 of processing 3, or the write-in processing 44 of processing 4, since data D1 are saved in the buffer 20, it becomes possible to rewrite rewritable nonvolatile memory again.

[0027] A control means 10 deduces the physical location of the memory block 320 which will rewrite to the 2nd by the time the write-in processing 44 (processing 4) to the memory block 310 of the first data block D1 is completed, and performs processing 42 which eliminates the data D 00-2 already stored in this memory block (processing 5). Here, continuous memory block is beforehand assigned by turns to the 1st rewritable nonvolatile memory 31 and the 2nd rewritable nonvolatile memory 32. By carrying out like this, memory block rewritten next is eliminable in parallel to the write-in processing to one memory block.

[0028] After the writing of the data block D1 to the first memory block 310 is completed normally, transfer processing 41 which transmits the data D2 to the 2nd memory block 320 to buffer memory 20 through a system bus 2 is performed (processing 6). Since elimination of the data D 00-2 already stored in the memory block 320 to write in is already completed this time unlike the writing to the first block 310, transfer processing 43 which transmits the content D2 of buffer memory 20 to the memory block 320 of the 2nd rewritable nonvolatile memory 32 immediately can be performed (processing 7), and write-in processing 44 which writes data D2 in this memory block 320 succeedingly is performed (processing 8). The data D2 in buffer memory 20 are held without eliminating until the write-in processing 44 in processing 8 is completed thoroughly.

[0029] A control means 10 deduces the physical location of the memory block 311 which will rewrite to the 3rd by the time the write-in processing 44 (processing 8) of memory block 320 is completed, and performs elimination processing 42 which eliminates the data D 01-1 already stored in this block (processing 9). If it checks that the writing of the data block D2 to memory block 320 has been completed normally, transfer processing 41 which transmits a data block D3 to buffer memory 20 will be performed (processing 10), and sequential execution of the transfer processing 41 (processing 11) which transmits data D3 to the memory block 311 of the 1st rewritable nonvolatile memory 31, and the write-in processing 43 (processing 12) which writes these data D3 in memory block 311 succeedingly will be carried out. Processing (processing 13-) with the same said of the processing which rewrites the 4th data block D4 to memory block 321 is performed. Hereafter, memory block 322 - the content are rewritten one by one.

[0030] By the above processing, it sets to the usual simple rewriting processing. In writing in the data D1-D4 for 4 blocks shown in drawing 4 Although it is required to perform [the elimination processing 42 of the rewritable nonvolatile memory 30] the data transfer processing 41 to 4 times and buffer memory 20 and data transfer processing 43 to nonvolatile memory 30 for the write-in processing 44 to the rewritable nonvolatile memory 30 a total of 8 times 4 times Since elimination processing 42 can be performed in parallel to write-in processing 44:00 so that more clearly than drawing 4 It becomes possible to perform rewriting processing of a series of data by the time amount which performs write-in processing 44 to the rewritable nonvolatile memory 30 for the elimination processing 42 of the rewritable nonvolatile memory 30 4 times, and performs a total of 8 times for the data transfer processings 41 and 43 once, respectively. And the transfer buffer memory 20 required in order to perform this processing needs only the capacity for one data block.

[0031] The gestalt of another operation of the storage 1 concerning this invention is explained using drawing 5. The 1st rewritable nonvolatile memory 31 from which the storage 1 concerning the gestalt of this operation was divided into two or more groups, the 3rd rewritable nonvolatile memory 33 and the 2nd rewritable nonvolatile memory 32, and the 4th rewritable nonvolatile memory 34, The buffer memory 20 which consists of the 1st buffer memory 201 and 2nd buffer memory 202 which are a storing means by which the data of the capacity of one data block are memorizable, The data bus 141 which connects the 1st buffer memory 201, the 1st rewritable nonvolatile memory 31, and the 3rd rewritable nonvolatile memory 33, It consists of data buses 142 which connect the 2nd buffer memory 202, the 2nd rewritable nonvolatile memory 32, and the 4th rewritable nonvolatile memory 34, and connects with the host system



which omitted the graphic display through system bus 2.

[0032] Two or more memory-block 310, 311- and 320, 321 330, 331 - 340, 341- are prepared in each rewritable nonvolatile memory 31-34, respectively.

[0033] Drawing 6 shows the sequence of processing in case rewriting actuation is performed within the storage 1 of a configuration of having been shown in drawing 5. The store 1 shown in drawing 5 has the description at the point which made it possible one, in addition to carry out rewriting actuation of the 2 memory block in parallel simultaneously for buffer memory compared with the store 1 shown in drawing 3. In drawing, an upper case shows the processing to the 1st rewritable nonvolatile memory 31 and the 2nd rewritable nonvolatile memory 32, and the lower berth shows the processing to the 3rd rewritable nonvolatile memory 33 and the 4th rewritable nonvolatile memory 34.

[0034] The transfer processing 41 whose the processing of each transmits the data for one data block to the 1st buffer memory 201 and 2nd buffer memory 202 of the transfer buffer memory 20 from a system bus 2, respectively, The rewritable nonvolatile memory 31 and 32 or the rewritable nonvolatile memory 33, and the elimination processing 42 that eliminates the data currently written in each memory block in 34, It lets a data bus 141 pass from the 1st buffer memory 201 of buffer memory 20. To memory block of the 1st rewritable nonvolatile memory 31 or the 3rd rewritable nonvolatile memory 33 The transfer processing 43 which transmits the data for one data block to memory block of the 2nd rewritable nonvolatile memory 32 or the 4th rewritable nonvolatile memory 34 through a data bus 142, respectively from the 2nd buffer memory 202, There is write-in processing 44 which writes the data transmitted to the rewritable nonvolatile memory 31-34 in each memory block, and the time amount which each processing takes is shown by the die length.

[0035] In addition, the width of face of the processing time of the transfer processing 41 - the rewriting processing 44 is not necessarily shown in proportion to the time amount required actually. Moreover, the processing time of the transfer processing 41 - the rewriting processing 44 is not always fixed. Furthermore, "writing" means storing new data in the eliminated block, and after "rewriting" performs "elimination", it shall perform "writing" and shall be completed.

[0036] The case where the rewriting demand of the data D1-Dn 4 blocks or more which continued to this store 1 occurs from a host system is considered. First, transfer processing 41 which stores the block [ 1st ] data D1 and the block [ 2nd ] data D2 in the 1st buffer memory 201 and 2nd buffer memory 202 of buffer memory 20 through a system bus 2 is performed (processing 1). Suppose that the data D1 of 1 data-block eye are stored in the 1st buffer memory 201, and the data D2 of 2 data-block eye are stored in the 2nd buffer memory 202 at this time.

[0037] A control means 10 deduces the physical location of memory block replaced with the data stored in the current buffer memory 20. Here, this memory block replaced presupposes that they are the 1st memory block 310 in [ rewritable ] nonvolatile memory 31, and the 2nd memory block 320 in [ rewritable ] nonvolatile memory 32. A control means 10 gives an instruction to the 1st rewritable nonvolatile memory 31 and the 2nd rewritable nonvolatile memory 32, and performs elimination processing 42 which eliminates the data (D 00-1, D 00-2) already stored in this memory block 310, 320 (processing 2).

[0038] When it checks that data elimination of memory block rewritten has been completed, a control means 10 A data bus 141 is minded for the data D1 in the 1st buffer memory 201 of buffer memory 20. To the memory block 310 of the 1st rewritable nonvolatile memory 31 Transfer processing 43 which transmits the data D2 in the 2nd buffer memory 202 of buffer memory 20 to the memory block 320 of the 2nd rewritable nonvolatile memory 32 through a data bus 142 is performed (processing 3). Write-in processing 44 which writes each data D1 and D2 in each memory block succeedingly is performed (processing 4).

[0039] The control means 10 is held without eliminating the data D1 and D2 in the 1st buffer memory 201 of a buffer 20, and the 2nd buffer memory 202 until it checks that the processing (processing 4) which writes data D1 and D2 in memory block 310, 320, respectively has been completed thoroughly. Even if a certain error occurs within storage 1 and rewriting actuation is interrupted by carrying out like this during activation of the transfer processing 43 (processing 3) or the write-in processing 44 (processing 4), rewriting becomes possible again.

[0040] A control means 10 deduces the physical location of the memory block 330, 340 of the 3rd rewritable nonvolatile memory 33 which will rewrite next by the time the write-in processing 44 (processing 4) of the data D1 and D2 of the first two data blocks is completed, and the 4th rewritable nonvolatile memory 34, and performs elimination processing 42 which eliminates the data (D 00-3, D 00-4) already stored in this memory block (processing 5). Here, continuous memory block is surely assigned in order to the 4th rewritable nonvolatile memory 34 from the 1st rewritable nonvolatile memory 31. By carrying out like this, the block rewritten next is eliminable in parallel to write-in processing.

[0041] After the writing of the data D1 and D2 to the first 2 memory block 310, 320 is completed normally, transfer

processing 41 which transmits the data D3 and D4 which rewrite 2 memory block 330,340 which rewrites next through a system bus 2 to the 1st buffer memory 201 and 2nd buffer memory 202 of buffer memory 20 is performed (processing 6). Since elimination of the data of memory block 330,340 to write in is already completed this time unlike the first memory block 310,320 The data D3 and D4 immediately stored in the 1st buffer memory 201 and 2nd buffer memory 202 of buffer memory 20 temporarily Transfer processing 43 transmitted to the memory block 330 of the 3rd rewritable nonvolatile memory 33 and the memory block 340 of the 4th rewritable nonvolatile memory 34 is performed (processing 7). Write-in processing 44 which writes these data D3 and D4 in memory block 330,340 succeeding, respectively is performed (processing 8). The data D3 and D4 by which the temporary storage was carried out into the 1st buffer memory memory 201 of buffer memory 20 and the 2nd buffer memory 202 are held without eliminating until the write-in processing 44 (processing 8) is completed thoroughly.

[0042] A control means 10 performs elimination processing 42 which eliminates the data (D 01-1, D 01-2) already stored in the memory block 311,321 which will rewrite to the degree by the time the above-mentioned rewriting processing 44 (processing 8) is completed (processing 9).

[0043] If it checks that the rewriting processing 44 (processing 8) to memory block 330,340 has been completed normally Transfer processing 41 which transmits data D5 and D6 to the 1st buffer memory 201 and 2nd buffer memory 202 of buffer memory 20, respectively is performed (processing 10). The transfer processing 43 (processing 11) which transmits data D5 and D6 to the memory block 311 of the 1st rewritable nonvolatile memory 31, and the memory block 321 of the 2nd rewritable nonvolatile memory 32, and the data D5 and D6 to each memory block 311,321 Sequential execution of the write-in processing 44 (processing 12) to write in is carried out. Processing with the same said of rewriting of the future blocks 331,341 is performed.

[0044] In the example of drawing 5, when buffer memory increased, the rewriting rate of data can be further raised by the parallel processing of rewriting actuation not only becoming possible, but performing elimination of the two rewritable remaining nonvolatile memory in parallel at the time of the write-in actuation to two rewritable nonvolatile memory.

[0045] The gestalt of operation when the time amount which the elimination processing 42 takes is larger than the time amount which the write-in processing 44 takes is explained using drawing 7. With the gestalt of this operation, it has the 1st to 8th eight memory chip for rewritable nonvolatile memory, buffer memory has the storage capacity for two data blocks, and the time amount which the elimination processing 42 takes considers as what has the about 4 times more nearly required time amount which the write-in processing 44 takes. First, transfer processing 41 which transmits the data D1 and D2 for two data blocks to buffer memory is performed (processing 1). Subsequently, elimination processing 42 which eliminates the content of all the rewritable non-volatile memory chips is performed (processing 2). Next, transfer processing 43 which transmits data D1 to the data block 310 of the 1st rewritable nonvolatile memory 31 is performed (processing 3), and write-in processing 44 which writes data D1 in memory block 310 succeeding is performed (processing 4). then, the transfer processing 43 which transmits data D2 to the memory block 320 of the 2nd rewritable nonvolatile memory 32 -- performing (processing 5) -- write-in processing 44 which writes data D2 in the memory block 320 of the 2nd rewritable nonvolatile memory 32 is performed (processing 6).

[0046] After checking that write-in processing of processing 4 and write-in processing of processing 6 have been completed normally, in order to perform the writing of the data D3 and D4 to the 3rd rewritable nonvolatile memory 33 and the 4th rewritable nonvolatile memory 34, the transfer processing 41 which receives a transfer of data D3 and D4 from a host system is performed (processing 7, processing 8).

[0047] At this time, the 1st rewritable nonvolatile memory 31 and the 2nd rewritable nonvolatile memory 32 perform elimination processing 42 which eliminates the memory block 311,321 which is due to be written in a degree (processing 9, processing 10).

[0048] As soon as processing 5 and processing 6 are completed to the 3rd rewritable nonvolatile memory 33 and the 4th rewritable nonvolatile memory 34, transfer processing 43 which transmits data D3 and D4 to memory block 330,340 is performed (processing 11, processing 12), and write-in processing 44 which writes data D3 and D4 in memory block succeeding is performed (processing 13, processing 14). And if the data block written in a degree is in the 3rd rewritable nonvolatile memory 33 and the 4th rewritable nonvolatile memory 34 further, elimination processing 42 which eliminates the data of memory block 331,341 will be performed (processing 15, processing 16).

[0049] Hereafter, processing that it is the same also 5th after [ rewritable ] nonvolatile memory 35 is performed. Since the processing 9 and the processing 10 which are the elimination processing 42 which eliminates the memory block 311 of the 1st rewritable nonvolatile memory 31 and the memory block 321 of the 2nd rewritable nonvolatile memory 32 at this time require about 4 times longer time amount as compared with write-in processing, when the writing of the

data D7 and D8 to the 7th and 8th rewritable nonvolatile memory 37 and 38 is completed, elimination can be completed, and they can perform write-in processing immediately. Processing with the same said of memory-block 360,361-380,381-38n of other rewritable nonvolatile memory 36-38 is performed hereafter, and high rewriting processing of effectiveness can be realized dramatically.

[0050] In addition, write-in processing can be performed in any number of times until writing succeeds by transmitting the data stored in buffer memory when write-in processing ends in failure, although write-in processing can be altogether successful with the gestalt of the above-mentioned implementation and it can move now to the next processing to once another memory block, and performing write-in processing again from this memory block.

[0051]

[Effect of the Invention] When to rewrite at a high speed is demanded in the store which needs elimination processing per block and which uses rewritable nonvolatile memory as a storage electrically according to this invention, the rewriting engine performance which is not almost inferiority as compared with the case where it has the buffer of the block count equal to the number of chips to carry using the storing buffer of the block count smaller than the number of chips to carry can be realized. And without losing a write data, even if writing goes wrong at this time, write-in processing can be performed any number of times until writing is successful. Moreover, when using nonvolatile memory which is long as compared with time amount for the time amount needed for elimination to write data in the same field, write-in processing and elimination processing can be performed efficiently, and rewriting processing can be realized at a high speed by little buffer memory.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] The block diagram showing an example of the configuration of a store which realizes this invention.

[Drawing 2] The block diagram showing the 1st example of the path of the data in the store shown in drawing 1.

[Drawing 3] The block diagram showing the 2nd example of the path of the data in the store shown in drawing 1.

[Drawing 4] Drawing showing the sequence of processing in case rewriting of data stands in a row and is performed by the store shown in drawing 1 and drawing 2 (1).

[Drawing 5] The block diagram showing the 3rd example of the path of the data in the store shown in drawing 1.

[Drawing 6] Drawing showing the sequence of processing in case rewriting of data stands in a row and is performed by the store shown in drawing 1 and drawing 5 (2).

[Drawing 7] Drawing showing the sequence of processing of rewriting data when blanking time uses long memory as compared with a write time at a high speed.

**[Description of Notations]**

1 Storage

2 System Bus

10 Data Rewriting Control Circuit

11 Rewriting Control Means

12 Memory-Clear Means

13 Data Write-in Means

14,141,142 Data bus

20 Buffer Memory

30 Rewritable Nonvolatile Memory

31 1st Rewritable Nonvolatile Memory

32 2nd Rewritable Nonvolatile Memory

33 3rd Rewritable Nonvolatile Memory

34 4th Rewritable Nonvolatile Memory

41 Data Transfer Processing between System Bus-Buffer Memory

42 Data Elimination Processing of Rewritable Nonvolatile Memory

43 Buffer Memory-Rewritable Data Transfer Processing between Nonvolatile Memory

44 Data Write-in Processing of Rewritable Nonvolatile Memory

201 1st Buffer Memory

202 2nd Buffer Memory

310, 311, 320,321,330,331 Memory block

---

[Translation done.]

(11)特許出願公開番号

特開平11-191297

(43)公開日 平成11年(1999)7月13日

(51) Int.Cl.<sup>6</sup>  
G 1 1 C 16/02

識別記号

F I  
C 1 1 C 17/00

601T  
612F

審査請求 未請求 請求項の数 8 OL (全 15 頁)

(21)出願番号 特願平9-359840

(22)出願日 平成9年(1997)12月26日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 發明者 片山 國弘

神奈川県川崎市麻生区王禅寺町1099番地

株式会社日立製作所システム開発研究所内

(72)発明者 綿谷 仁志

神奈川県川崎市麻生区王禅寺町1099番地

株式会社日立製作所システム開発研究所内

(72) 發明者 田村 隆之

神奈川県川崎市麻生区王禅寺町1099番地

株式会社日立製作所システム開発研究所内

(74)代理人 井理士 沼形 義彰 (外1名)

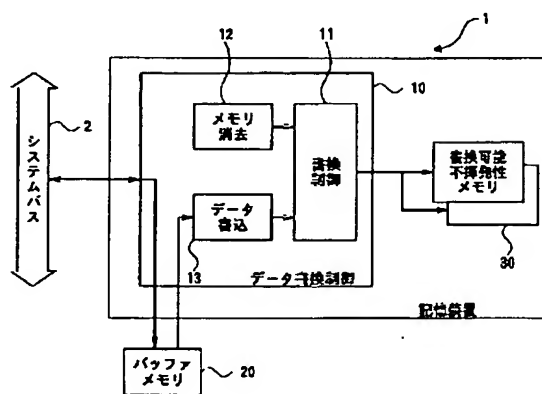
最終頁に続く

(54)【発明の名称】 不揮発性メモリを用いた高速書換可能な記憶装置および該記憶装置のデータ書換方法

(57) 【要約】

【課題】 データ書換時に消去動作が必要な書換可能不揮発性メモリを有する記憶装置の書換速度を、バッファメモリを増加させずに向上させる。

【解決手段】 書換可能不揮発性メモリ３０を有し、メモリ３０に格納されたデータを書き換える処理をブロック単位で扱う記憶装置１において、メモリ３０にデータを書き込む前に一時的に書込データを記憶するデータ格納手段２０と、メモリ３０の特定のチップの特定のメモリブロックを消去する書換可能不揮発性メモリ消去手段１２と、データ格納手段２０に格納されたデータをメモリ３０の特定のチップの特定のメモリブロックに転送して書込みを行うデータ書込手段１３と、記消去手段１２と書込手段１３を制御して１以上のメモリブロックのデータをメモリ３０に格納する書換制御手段１１とを設けた。



## 【特許請求の範囲】

【請求項1】 データ書換時に消去動作が必要な書換可能不揮発性メモリを有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置において、

連続した複数のデータブロックを書き換えるときに、あるメモリブロックへの書込動作と並行して、次に書換えを行う他のメモリブロックの消去動作を実行するようにしたことを特徴とする記憶装置。

【請求項2】 データ書換時に消去動作が必要な書換可能不揮発性メモリを有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置において、

前記書換可能不揮発性メモリにデータを書き込む前に一時的に書込データを記憶するデータ格納手段と、連続した複数ブロックの書換時に、前記データ格納手段に格納されたデータの一部または全てを前記書換可能不揮発性メモリに転送することにより、あるブロックの書込動作を実行し、それと並行して、次に書換えを行う他のブロックの消去を実行するデータ書換制御手段とを備えたことを特徴とする記憶装置。

【請求項3】 請求項2に記載された記憶装置において、書込みを行ったメモリブロックが不良であり、書込みが正常に終了しなかった場合には、データ格納手段の格納データを別のブロックへ転送して書込処理を実行することを特徴とする記憶装置。

【請求項4】 データ書換時に消去動作が必要な書換可能不揮発性メモリを有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置において、

前記書換可能不揮発性メモリにデータを書き込む前に一時的に書込データを記憶するデータ格納手段と、書換可能不揮発性メモリの特定のチップの特定のメモリブロックを消去する書換可能不揮発性メモリ消去手段と、

前記データ格納手段に格納されたデータを書換可能不揮発性メモリの特定のチップの特定のメモリブロックに転送して書込みを行うデータ書込手段と、

前記メモリ消去手段と前記データ書込手段を制御して1以上のメモリブロックのデータを書換可能不揮発性メモリに格納する書換制御手段とを有し、連続した複数のデータブロックで前記メモリブロックを書き換えるときに、前記書換制御手段が、

(1) 書換えを行うデータをデータ格納手段に格納すると同時に、書換えを行う対象となる書換可能不揮発性メモリのメモリブロックの内容を消去する制御

(2) 消去が完了した書換可能不揮発性メモリのメモリブロックにデータ格納手段に格納されたデータを転送して書込みを行うと同時に、書込みを行っていない別のチップ内の次に書換えを行う対象となるメモリブロックの

消去を行う制御

(3) 書込みが正常に終了したら次に書き込むデータをデータ格納手段に格納する制御  
を実行することを特徴とする記憶装置。

【請求項5】 データ書換時に消去動作が必要な書換可能不揮発性メモリを有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置のデータ書換方法において、

連続した複数のデータブロックを書き換えるときに、あるメモリブロックへの書込動作と並行して、次に書換えを行う他のメモリブロックの消去動作を実行することを特徴とする記憶装置のデータ書換方法。

【請求項6】 データ書換時に消去動作が必要な書換可能不揮発性メモリと、データ格納手段と、データ書換制御手段を有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置のデータ書換方法において、

前記書換可能不揮発性メモリにデータを書き込む前にデータ格納手段に一時的に書込データを記憶し、

連続した複数ブロックの書換時に、データ格納手段に格納されたデータの一部または全てを前記書換可能不揮発性メモリに転送して、あるメモリブロックの書込動作を実行するとともに、この書込動作と並行して、次に書換えを行う他のブロックの消去を実行することを特徴とする記憶装置のデータ書換方法。

【請求項7】 請求項6に記載された記憶装置のデータ書換方法において、書込みを行ったメモリブロックが不良であり、書込みが正常に終了しなかった場合に、データ格納手段の格納データを別のブロックへ転送して書込処理を実行することを特徴とする記憶装置のデータ書換方法。

【請求項8】 データ書き換え時に消去動作が必要な書換可能不揮発性メモリと、データ格納手段と、書換可能不揮発性メモリ消去手段と、データ書込手段と、書換制御手段とを有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置のデータ書換方法において、

前記書換可能不揮発性メモリにデータを書き込む前に前記データ格納手段に一時的に書込データを記憶し、

書換えを行うデータを前記データ格納手段に格納すると同時に、書換えを行う対象となる書換可能不揮発性メモリのメモリブロックを消去し、

消去が完了した書換可能不揮発性メモリのメモリブロックに前記データ格納手段に格納されたデータを転送して書込みを行うと同時に、書込みを行っていない別のチップ内の次に書換えを行う対象となるメモリブロックの内容を消去し、

書込みが正常に終了したら次に書き込むデータを前記データ格納手段に格納することを特徴とする記憶装置のデータ書換方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、格納データの書換時に消去動作を必要とする書換可能な不揮発性メモリを有する記憶装置およびそのデータ書換方法に係り、特に、記憶装置へのデータ書換速度の向上を実現する記憶装置およびそのデータ書換方法に関する。

## 【0002】

【従来の技術】記憶内容を電氣的に書き換えること可能でかつ電源を切っても記憶内容が消滅しない電氣的書換可能な不揮発性メモリは、主に情報処理装置の記憶装置として広く利用されている。書換可能な不揮発性メモリの中には、一旦データを消去してから新たなデータを書き込む処理を行うことによって、データの書換えを行うものがある。このような手順でデータの書換えを行う場合、データの消去とデータの書込みの2段階の動作が必要であり、完全に書換えが終了するまでに多くの時間がかかるという問題がある。

【0003】このような問題を解決するため、従来より様々な技術が提案されている。例えば、特開平5-27924号公報に開示された技術では、書換可能な不揮発性メモリにデータを書き込む前に一時的にデータを記憶するバッファメモリを設けることにより見かけの書換速度を向上している。

## 【0004】

【発明が解決しようとする課題】上記従来技術のように一時的にデータを記憶するバッファメモリを備えることにより書換速度を向上させる場合、一度に複数の書換可能な不揮発性メモリチップに書換えを行うことが可能となる。つまり、一時的にバッファメモリに記憶したデータを複数のチップに送り込み、同時に書込処理を実行することによって、理論的には書込みに費やす時間をチップ数分の1に短縮することができる。

【0005】しかし、多くの書換可能な不揮発性メモリを並列に動作させバッファメモリに記憶したデータを複数のメモリチップに同時に書き込むには、その分多くのバッファメモリが必要となる。なぜなら、メモリチップに書き込んだデータは書込みが正常に終了するまでバッファメモリに残しておかないと、万が一書込みが失敗した場合、書込データが失われてしまうこととなる。このような書込データの消失を無くすためには、結局書込処理を行っているチップ数分のバッファメモリが必要になる。

【0006】以上の手法によれば、メモリチップへの書込時間を短縮するためには、バッファメモリの増加に伴い、装置のコストが上昇したり、装置の大きさや重量の増大、消費電力の増加などの様々な弊害が生まれる。

【0007】このような問題点を鑑み、本発明の目的は、上記弊害がないよう、バッファメモリを増加させることなく、メモリチップの特性に合わせた高効率の書換

処理を行うことによって、書換時間の短縮を図ることにある。

## 【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために、データ書換時に消去動作が必要な書換可能な不揮発性メモリを有し、前記書換可能な不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置において、連続した複数のデータブロックを書き換えるときに、あるメモリブロックへの書込動作と並行して、次に書換えを行う他のメモリブロックの消去動作を実行するようにした。

【0009】本発明は、データ書換時に消去動作が必要な書換可能な不揮発性メモリを有し、前記書換可能な不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置において、前記書換可能な不揮発性メモリにデータを書き込む前に一時的に書込データを記憶するデータ格納手段と、連続した複数ブロックの書換時に、前記データ格納手段に格納されたデータの一部または全てを前記書換可能な不揮発性メモリに転送することにより、あるブロックの書込動作を実行し、それと並行して、次に書換えを行う他のブロックの消去を実行するデータ書換制御手段とを備えた。

【0010】さらに、本発明は、上記記憶装置において、書込みを行ったメモリブロックが不良であり、書込みが正常に終了しなかった場合には、データ格納手段の格納データを別のブロックへ転送して書込処理を実行するようにした。

【0011】本発明は、データ書換時に消去動作が必要な書換可能な不揮発性メモリを有し、前記書換可能な不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置において、前記書換可能な不揮発性メモリにデータを書き込む前に一時的に書込データを記憶するデータ格納手段と、書換可能な不揮発性メモリの特定のチップの特定のメモリブロックを消去する書換可能な不揮発性メモリ消去手段と、前記データ格納手段に格納されたデータを書換可能な不揮発性メモリの特定のチップの特定のメモリブロックに転送して書込みを行うデータ書込手段と、前記メモリ消去手段と前記データ書込手段を制御して1以上のメモリブロックのデータを書換可能な不揮発性メモリに格納する書換制御手段とを有し、連続した複数のデータブロックで前記メモリブロックを書き換えるときに、前記書換制御手段が、

(1) 書換えを行うデータをデータ格納手段に格納すると同時に、書換えを行う対象となる書換可能な不揮発性メモリのメモリブロックの内容を消去する制御

(2) 消去が完了した書換可能な不揮発性メモリのメモリブロックにデータ格納手段に格納されたデータを転送して書込みを行うと同時に、書込みを行っていない別のチップ内の次に書換えを行う対象となるメモリブロックの消去を行う制御



(3) 書込みが正常に終了したら次に書き込むデータをデータ格納手段に格納する制御

(4) 以下、連続した複数のメモリブロックの書換えが全て終了するまで前記(2)および(3)の処理を繰り返し実行する制御  
を実行するようにした。

【0012】また、上記課題を解決するために、本発明は、データ書換時に消去動作が必要な書換可能不揮発性メモリを有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置のデータ書換方法において、連続した複数のデータブロックを書き換えるときに、あるメモリブロックへの書込動作と並行して、次に書換えを行う他のメモリブロックの消去動作を実行する。

【0013】本発明は、データ書換時に消去動作が必要な書換可能不揮発性メモリと、データ格納手段と、データ書換制御手段を有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置のデータ書換方法において、前記書換可能不揮発性メモリにデータを書き込む前にデータ格納手段に一時的に書込データを記憶し、連続した複数ブロックの書換時に、データ格納手段に格納されたデータの一部または全てを前記書換可能不揮発性メモリに転送して、あるメモリブロックの書込動作を実行するとともに、この書込動作と並行して、次に書換えを行う他のブロックの消去を実行する。

【0014】本発明は、上記記憶装置のデータ書換方法において、書込みを行ったメモリブロックが不良であり、書込みが正常に終了しなかった場合に、データ格納手段の格納データを別のブロックへ転送して書込処理を実行する。

【0015】本発明は、データ書き換え時に消去動作が必要な書換可能不揮発性メモリと、データ格納手段と、書換可能不揮発性メモリ消去手段と、データ書込手段と、書換制御手段とを有し、前記書換可能不揮発性メモリに格納されたデータを書き換える処理をブロック単位で扱う記憶装置のデータ書換方法において、前記書換可能不揮発性メモリにデータを書き込む前に前記データ格納手段に一時的に書込データを記憶し、書換えを行うデータを前記データ格納手段に格納すると同時に、書換えを行う対象となる書換可能不揮発性メモリのメモリブロックを消去し、消去が完了した書換可能不揮発性メモリのメモリブロックに前記データ格納手段に格納されたデータを転送して書込みを行うと同時に、書込みを行っていない別のチップ内の次に書換えを行う対象となるメモリブロックの内容を消去し、書込みが正常に終了したら次に書き込むデータを前記データ格納手段に格納する。

【0016】

【発明の実施の形態】以下、本発明にかかる記憶装置の実施形態を図面を参照して説明する。図1に、本発明を

実現する記憶装置の一構成例を示す。図中、書換可能な不揮発性メモリを有する記憶装置1は、記憶装置1の各部及びホストシステムとのインターフェイスを制御する制御手段10と、複数の書換可能不揮発性メモリ30と、一時的にデータを格納するバッファメモリ20とを有して構成され、システムバス2を介して図示を省略したホストシステムに接続されている。さらに制御手段10は、書換制御手段11と、不揮発性メモリ消去手段12と、データ書込手段13とを有して構成される。

【0017】制御手段10は、記憶装置1の各部およびホストシステムとのインターフェイスを制御する。バッファメモリ20は、ホストシステムが書換可能不揮発性メモリ30に対する書換えをはじめとする、ホストシステムと書換可能不揮発性メモリとの間のデータのやりとりや、書換可能不揮発性メモリ30の格納データを移動したりする際に、一時的にデータを格納するデータ格納手段として働く。書換可能不揮発性メモリ30は、例えば、電氣的に書換可能なROMからなる書換可能な不揮発性メモリを用いて構成される。システムバス2は、図示を省略したホストシステムとデータや制御信号をやりとりする際に使用する。

【0018】書換制御手段11は、書換可能不揮発性メモリ消去手段12とデータ書込手段13を制御して1以上のブロックのデータを書換可能不揮発性メモリ30に格納する書換制御機能を達成する。書換可能不揮発性メモリ消去手段12は、書換可能不揮発性メモリ30の特定のチップの特定のメモリブロックを消去する書換可能不揮発性メモリ消去機能を達成する。データ書込手段13は、バッファメモリ20に格納されたデータを書換可能不揮発性メモリ30の特定のチップの特定のメモリブロックに転送して書込みを行うデータ書込機能を達成する。

【0019】システムバス2は、ホストシステム側に布設されている。ホストシステムがシステムバス2を通してデータのアクセス要求を記憶装置1に送ると、これを受けた記憶装置1内の制御手段10は、アクセス要求の内容と対応するデータが格納されている書換可能不揮発性メモリ30上の物理的な位置(メモリブロック)を割り出し、バッファメモリ20を適宜利用してホストのアクセス要求に応じていく。

【0020】図2を用いて、図1に示した記憶装置1内において、書換可能不揮発性メモリ30に書き込まれるデータの経路を特に取り出して説明する。それぞれの書換可能不揮発性メモリ内のメモリブロックに格納されたデータを書換える際には、一群のデータの単位で一度に書換えを行う。以下、この書換単位毎に書き換えられる書換可能不揮発性メモリ内の記憶領域の単位をメモリブロックと呼ぶ。書換可能不揮発性メモリ30は、複数の書換可能不揮発性メモリ31、32から構成される。それぞれの書換可能不揮発性メモリ31、32には、複数

のメモリブロック310、311～、320、321～がそれぞれ順序よく配列される。

【0021】バッファメモリ20は、図1に示したバッファメモリ20と同一のものであるが、ここでは特にデータ転送に用いるデータバッファとして機能する転送バッファメモリとする。転送バッファメモリ20と書換可能不揮発性メモリ31、32とは、データバス14を介して結ばれている。このデータバス14を通して、バッファメモリ20から書換可能不揮発性メモリ31、32へデータの転送を行う。システムバス2は、制御手段10を通したシステムのデータバスとしても働き、記憶装置1のローカルバスといえる。

【0022】なお、図2では、制御手段10が2つの書換可能不揮発性メモリ31、32を制御する例を示しているが、一般的には制御手段10が制御する書換可能不揮発性メモリは2つである必要はなく、さらに増加しても構わない。

【0023】例えば、図3に示すように、内部データバス14を通して3つの書換可能不揮発性メモリ31、32、33を並列に接続することができる。このようにして、並列処理する書換可能不揮発性メモリの数を増やすことによって、メモリチップへの書込処理をより多く並列に実行することが可能となるので、書込性能を向上させることができる。

【0024】図1および図2に示した記憶装置1による、書換可能不揮発性メモリ内のデータ書換処理の順序を、図4を用いて説明する。図において、上段は書換可能不揮発性メモリ31に対する処理を示し、下段は書換可能不揮発性メモリ32に対する処理を示している。それぞれの処理は、システムバス2から転送バッファメモリ20へ1ブロック分のデータ（以下、データブロックという）を転送する転送処理41と、書換可能不揮発性メモリ31、32内のメモリブロックに既に書き込まれているデータを消去する消去処理42と、バッファメモリ20からデータバス14を通して書換可能不揮発性メモリ31、32へ1データブロック分のデータを転送する転送処理43と、書換可能不揮発性メモリ31、32へ転送されたデータを各メモリブロックに書き込む書込処理44とがあり、それぞれの処理に要する時間がその長さで示されている。なお、転送処理41～書換処理44の時間の幅は実際に要する時間に比例して示されているわけではない。また、転送処理41～書換処理44の処理時間はそれぞれ常に一定であるとは限らない。さらに、「書き込み」とは消去されたブロックに新しいデータを格納することを意味し、「書き換え」は「消去」を実行した後に「書き込み」を実行して完了するものとする。

【0025】まず、ホストシステムから、記憶装置1に対して連続した2データブロック以上のデータ $D_1 \sim D_n$ の書換要求が発生した場合を考える。1ブロック目の

データ $D_1$ をシステムバス2を介して転送バッファメモリ20に格納する転送処理41が実行される（処理1）。制御手段10は、現在バッファメモリ20に格納されているデータと置き換えられるメモリブロックの物理的な位置（メモリブロック）を割り出す。この実施の形態では、この置き換えられるメモリブロック310が第1の書換可能不揮発性メモリ31内にあるとする。制御手段10は、第1の書換可能不揮発性メモリ31に命令を出して、このブロック310に既に格納されているデータ $D_{00-1}$ を消去する消去処理42を実行する（処理2）。

【0026】処理2によるデータの消去が終了したことを確認すると、制御手段10はバッファメモリ20内のデータ $D_1$ を書換可能不揮発性メモリ31へ転送する転送処理43を実行し（処理3）、それに引き続いてデータ $D_1$ をメモリブロック310へ書き込む書込処理44を実行する（処理4）。制御手段10は、処理4が完全に終了したことを確認するまでバッファ20内のデータ $D_1$ を消去せずに保持しておく。こうすることによって、処理3の転送処理43または処理4の書込処理44の実行中に、記憶装置1内で何らかのエラーが発生して書換動作が中断しても、データ $D_1$ がバッファ20内に保存されているので書換可能不揮発性メモリを再び書き直すことが可能となる。

【0027】制御手段10は、最初のデータブロック $D_1$ のメモリブロック310への書込処理44（処理4）が終了するまでに、2番目に書換えを行うメモリブロック320の物理的な位置を割り出し、このメモリブロックに既に格納されているデータ $D_{00-2}$ を消去する処理42を実行しておく（処理5）。ここで、連続したメモリブロックを、予め第1の書換可能不揮発性メモリ31と第2の書換可能不揮発性メモリ32に交互に割り当てておく。こうすることによって、一方のメモリブロックへの書込処理と並行して、次に書き換えるメモリブロックの消去を行うことができる。

【0028】最初のメモリブロック310へのデータブロック $D_1$ の書き込みが正常に終了すると、2番目のメモリブロック320へのデータ $D_2$ をシステムバス2を通じてバッファメモリ20へ転送する転送処理41を実行する（処理6）。最初のブロック310への書き込みと違い、今回は書き込むメモリブロック320に既に格納されているデータ $D_{00-2}$ の消去を既に完了しているため、即座にバッファメモリ20の内容 $D_2$ を第2の書換可能不揮発性メモリ32のメモリブロック320へ転送する転送処理43を実行することができ（処理7）、引き続いて該メモリブロック320へデータ $D_2$ を書き込む書込処理44を実行する（処理8）。処理8における書込処理44が完全に終了するまで、バッファメモリ20内のデータ $D_2$ は消去せずに保持しておく。

【0029】制御手段10は、メモリブロック320の

書込処理44(処理8)が終了するまでに、3番目に書換えを行うメモリブロック311の物理的な位置を割り出し、このブロックに既に格納されているデータ $D_{01-1}$ を消去する消去処理42を実行しておく(処理9)。メモリブロック320へのデータブロック $D_2$ の書込みが正常に終了したことを確認すると、バッファメモリ20へデータブロック $D_3$ を転送する転送処理41を実行し(処理10)、データ $D_3$ を第1の書換可能不揮発性メモリ31のメモリブロック311へ転送する転送処理41(処理11)と、引き続き該データ $D_3$ をメモリブロック311へ書き込む書込処理43(処理12)を順次実行する。4番目のデータブロック $D_4$ をメモリブロック321へ書き換える処理についても同様の処理(処理13～)が行われる。以下、順次メモリブロック322～の内容が書き換えられる。

【0030】以上の処理によって、通常の単純な書換処理においては、図4に示した4ブロック分のデータ $D_1$ ～ $D_4$ を書き込む場合には、書換可能不揮発性メモリ30の消去処理42が4回、書換可能不揮発性メモリ30への書込処理44が4回、そして、バッファメモリ20へのデータ転送処理41および不揮発性メモリ30へのデータ転送処理43が合計8回実行されることが必要であるが、図4より明らかなように、書込処理44時に並行して消去処理42を実行することができるので、書換可能不揮発性メモリ30の消去処理42を4回、書換可能不揮発性メモリ30への書込処理44を1回、データ転送処理41、43を合計8回をそれぞれ実行する時間で一連のデータの書換処理を実行することが可能となる。そして、この処理を実行するために必要な転送バッファメモリ20は1データブロック分の容量しか必要としていない。

【0031】図5を用いて、本発明にかかる記憶装置1の別の実施の形態を説明する。この実施の形態にかかる記憶装置1は、複数の群に分けられた第1の書換可能不揮発性メモリ31、第3の書換可能不揮発性メモリ33、および第2の書換可能不揮発性メモリ32、第4の書換可能不揮発性メモリ34と、1データブロックの容量のデータを記憶することができる格納手段である第1のバッファメモリ201および第2のバッファメモリ202から構成されるバッファメモリ20と、第1のバッファメモリ201と第1の書換可能不揮発性メモリ31および第3の書換可能不揮発性メモリ33を結ぶデータバス141と、第2のバッファメモリ202と第2の書換可能不揮発性メモリ32および第4の書換可能不揮発性メモリ34を結ぶデータバス142とから構成され、システムバス2を介して図示を省略したホストシステムに接続される。

【0032】各書換可能不揮発性メモリ31～34には、それぞれ複数のメモリブロック310、311～、320、321～、330、331～、340、341

～が設けられる。

【0033】図6は、図5に示した構成の記憶装置1内で、書換動作が行われるときの処理の順序を示す。図5に示した記憶装置1は、図3に示した記憶装置1に比べバッファメモリを1つ加えて、同時に2メモリブロックを並行して書換動作することを可能とした点に特徴を有している。図において、上段は第1の書換可能不揮発性メモリ31および第2の書換可能不揮発性メモリ32に対する処理を示し、下段は第3の書換可能不揮発性メモリ33および第4の書換可能不揮発性メモリ34に対する処理を示している。

【0034】それぞれの処理は、システムバス2から転送バッファメモリ20の第1のバッファメモリ201と第2のバッファメモリ202へそれぞれ1データブロック分のデータを転送する転送処理41と、書換可能不揮発性メモリ31、32または書換可能不揮発性メモリ33、34内の各メモリブロックに書き込まれているデータを消去する消去処理42と、バッファメモリ20の第1のバッファメモリ201からデータバス141を通して第1の書換可能不揮発性メモリ31または第3の書換可能不揮発性メモリ33のメモリブロックへ、第2のバッファメモリ202からデータバス142を通して第2の書換可能不揮発性メモリ32または第4の書換可能不揮発性メモリ34のメモリブロックへそれぞれ1データブロック分のデータを転送する転送処理43と、書換可能不揮発性メモリ31～34へ転送されたデータを各メモリブロックに書き込む書込処理44とがあり、それぞれの処理に要する時間がその長さで示されている。

【0035】なお、転送処理41～書換処理44の処理時間の幅は実際に要する時間に比例して示されているわけではない。また、転送処理41～書換処理44の処理時間は常に一定であるとは限らない。さらに、「書き込み」とは消去されたブロックに新しいデータを格納することを意味し、「書き換え」は「消去」を実行した後に「書き込み」を実行して完了するものとする。

【0036】ホストシステムから、この記憶装置1に対して連続した4ブロック以上のデータ $D_1$ ～ $D_n$ の書換要求が発生した場合を考える。まず、1ブロック目のデータ $D_1$ と2ブロック目のデータ $D_2$ を、システムバス2を通してバッファメモリ20の第1のバッファメモリ201と第2のバッファメモリ202に格納する転送処理41を実行する(処理1)。このとき1データブロック目のデータ $D_1$ は第1のバッファメモリ201に、2データブロック目のデータ $D_2$ は第2のバッファメモリ202に格納されるとする。

【0037】制御手段10は、現在バッファメモリ20に格納されているデータと置き換えられるメモリブロックの物理的な位置を割り出す。ここでは、この置き換えられるメモリブロックは第1の書換可能不揮発性メモリ31内のメモリブロック310と第2の書換可能不揮発

性メモリ32内のメモリブロック320であるとする。制御手段10は、第1の書換可能不揮発性メモリ31と第2の書換可能不揮発性メモリ32に命令を出して、このメモリブロック310、320に既に格納されているデータ(D<sub>00-1</sub>、D<sub>00-2</sub>)を消去する消去処理42を実行する(処理2)。

【0038】書き換えられるメモリブロックのデータ消去が終了したことを確認すると、制御手段10は、バッファメモリ20の第1のバッファメモリ201内のデータD<sub>1</sub>をデータバス141を介して第1の書換可能不揮発性メモリ31のメモリブロック310へ、バッファメモリ20の第2のバッファメモリ202内のデータD<sub>2</sub>をデータバス142を介して第2の書換可能不揮発性メモリ32のメモリブロック320へ転送する転送処理43を実行し(処理3)、引き続いてそれぞれのデータD<sub>1</sub>、D<sub>2</sub>をそれぞれのメモリブロックへ書き込む書込処理44を実行する(処理4)。

【0039】制御手段10は、データD<sub>1</sub>、D<sub>2</sub>をそれぞれメモリブロック310、320へ書き込む処理(処理4)が完全に終了したことを確認するまでバッファメモリ20の第1のバッファメモリ201および第2のバッファメモリ202内のデータD<sub>1</sub>、D<sub>2</sub>を消去せずに保持しておく。こうすることによって、転送処理43(処理3)または書込処理44(処理4)の実行中に、記憶装置1内で何らかのエラーが発生して書換動作が中断しても、再び書き直しが可能になる。

【0040】制御手段10は、最初の2データブロックのデータD<sub>1</sub>、D<sub>2</sub>の書込処理44(処理4)が終了するまでに、次に書替える第3の書換可能不揮発性メモリ33および第4の書換可能不揮発性メモリ34のメモリブロック330、340の物理的な位置を割り出し、このメモリブロックに既に格納されているデータ(D<sub>00-3</sub>、D<sub>00-4</sub>)を消去する消去処理42を実行しておく(処理5)。ここで、連続したメモリブロックは、必ず第1の書換可能不揮発性メモリ31から第4の書換可能不揮発性メモリ34へ順番に割り当てておく。こうすることによって、書込処理と並行して、次に書き換えるブロックの消去を行うことができる。

【0041】最初の2メモリブロック310、320へのデータD<sub>1</sub>、D<sub>2</sub>の書込みが正常に終了すると、次に書替える第2メモリブロック330、340を書き換えるデータD<sub>3</sub>、D<sub>4</sub>をシステムバス2を通じてバッファメモリ20の第1のバッファメモリ201および第2のバッファメモリ202へ転送する転送処理41を実行する(処理6)。最初の、メモリブロック310、320と違い、今回は書き込むメモリブロック330、340のデータの消去を既に完了しているので、即座にバッファメモリ20の第1のバッファメモリ201および第2のバッファメモリ202に一時蓄積されたデータD<sub>3</sub>、D<sub>4</sub>を、第3の書換可能不揮発性メモリ33のメモリブロッ

ク330および第4の書換可能不揮発性メモリ34のメモリブロック340へ転送する転送処理43を実行し(処理7)、引き続いてこのデータD<sub>3</sub>、D<sub>4</sub>をメモリブロック330、340へそれぞれ書き込む書込処理44を実行する(処理8)。書込処理44(処理8)が完全に終了するまで、バッファメモリ20の第1のバッファメモリ201および第2のバッファメモリ202内に一時格納されたデータD<sub>3</sub>、D<sub>4</sub>は消去せずに保持しておく。

【0042】制御手段10は、上記書換処理44(処理8)が完了するまでに、その次に書換えを行うメモリブロック311、321に既に格納されているデータ(D<sub>01-1</sub>、D<sub>01-2</sub>)を消去する消去処理42を実行する(処理9)。

【0043】メモリブロック330、340に対する書換処理44(処理8)が正常に終了したことを確認すると、バッファメモリ20の第1のバッファメモリ201および第2のバッファメモリ202へそれぞれデータD<sub>5</sub>、D<sub>6</sub>を転送する転送処理41を実行し(処理10)、第1の書換可能不揮発性メモリ31のメモリブロック311と第2の書換可能不揮発性メモリ32のメモリブロック321へデータD<sub>5</sub>、D<sub>6</sub>を転送する転送処理43(処理11)および各メモリブロック311、321へのデータD<sub>5</sub>、D<sub>6</sub>を書き込む書込処理44(処理12)を順次実行する。以後のブロック331、341の書換えについても同様の処理が行われる。

【0044】図5の例では、バッファメモリが増加したことによって書換動作の並列処理が可能となるだけではなく、2つの書換可能不揮発性メモリへの書込動作時に残りの2つの書換可能不揮発性メモリの消去を並行して実行することによって、データの書換速度をさらに向上させることができる。

【0045】図7を用いて、消去処理42に要する時間が書込処理44に要する時間より大きい場合の実施の形態を説明する。この実施の形態では、書換可能不揮発性メモリを第1から第8の8個のメモリチップを備え、バッファメモリが2データブロック分の記憶容量を有し、消去処理42に要する時間が書込処理44に要する時間の約4倍必要であるものとする。まず、バッファメモリへ2データブロック分のデータD<sub>1</sub>、D<sub>2</sub>を転送する転送処理41を実行する(処理1)。次いで、全ての書換可能不揮発性メモリチップの内容を消去する消去処理42を実行しておく(処理2)。次に、第1の書換可能不揮発性メモリ31のデータブロック310へデータD<sub>1</sub>を転送する転送処理43を実行し(処理3)、引き続きデータD<sub>1</sub>をメモリブロック310へ書き込む書込処理44を実行する(処理4)。続いて、第2の書換可能不揮発性メモリ32のメモリブロック320へデータD<sub>2</sub>を転送する転送処理43を実行する(処理5)とともに、第2の書換可能不揮発性メモリ32のメモリブロック3

20へデータD<sub>2</sub>を書き込む書込処理44を実行する(処理6)。

【0046】処理4の書込処理および処理6の書込処理が正常に終了したのを確認した後、第3の書換可能不揮発性メモリ33および第4の書換可能不揮発性メモリ34へのデータD<sub>3</sub>、D<sub>4</sub>の書込みを実行するため、ホストシステムからデータD<sub>3</sub>、D<sub>4</sub>の転送を受ける転送処理41を実行する(処理7、処理8)。

【0047】このとき、第1の書換可能不揮発性メモリ31および第2の書換可能不揮発性メモリ32は、次に書き込む予定であるメモリブロック311、321を消去する消去処理42を実行する(処理9、処理10)。

【0048】第3の書換可能不揮発性メモリ33および第4の書換可能不揮発性メモリ34に対しては、処理5、処理6が完了し次第、メモリブロック330、340へデータD<sub>3</sub>、D<sub>4</sub>を転送する転送処理43を実行し(処理11、処理12)、引き続いてデータD<sub>3</sub>、D<sub>4</sub>をメモリブロックへ書き込む書込処理44を実行する(処理13、処理14)。そして、さらに第3の書換可能不揮発性メモリ33、第4の書換可能不揮発性メモリ34に、次に書き込むデータブロックがあればメモリブロック331、341のデータを消去する消去処理42を実行する(処理15、処理16)。

【0049】以下、第5の書換可能不揮発性メモリ35以降にも同様の処理を施す。このとき、第1の書換可能不揮発性メモリ31のメモリブロック311、第2の書換可能不揮発性メモリ32のメモリブロック321を消去する消去処理42である処理9および処理10は、書込処理と比較して約4倍長い時間を要することから、第7および第8の書換可能不揮発性メモリ37、38へのデータD<sub>7</sub>、D<sub>8</sub>の書込みが終了する頃に消去が終了し、すぐに書込処理を実行することができる。以下、他の書換可能不揮発性メモリ36～38のメモリブロック360、361～380、381～38nについても同様の処理が行われ、非常に効率の高い書換処理を実現することができる。

【0050】なお、上記実施の形態では全て書込処理が成功して次の処理に移ることができるようになっているが、もし、書込処理が失敗に終わった場合には、バッファメモリに格納されているデータを一旦別のメモリブロックに転送してこのメモリブロックから再度書込処理を実行することによって、書込みが成功するまで何度でも書込処理を実行することができる。

【0051】

【発明の効果】本発明によれば、ブロック単位で消去処理を必要とする電氣的に書換可能な不揮発性メモリを記憶媒体とする記憶装置において、書換えを高速に行うことを要求される場合に、搭載するチップ数より少ないブロック数の格納バッファを用いて、搭載するチップ数と等しいブロック数のバッファを備える場合と比較しては

とんど遜色ない書換性能を実現することができる。しかも、このとき、書込みが失敗しても、書込データを失うことなく、書込みが成功するまで何度でも書込処理を実行することができる。また、消去に必要とされる時間が同じ領域にデータを書き込むための時間と比較して長いような不揮発性メモリを使用する場合において、書込処理と消去処理を効率良く実行することができ、書換処理を少ないバッファメモリで高速に実現することができる。

【図面の簡単な説明】

【図1】本発明を実現する記憶装置の構成の一例を示すブロック図。

【図2】図1に示した記憶装置内のデータの経路の第1の例を示すブロック図。

【図3】図1に示した記憶装置内のデータの経路の第2の例を示すブロック図。

【図4】図1および図2に示した記憶装置により、データの書換えが並列して実行されるとき処理の順序を示す図(1)。

【図5】図1に示した記憶装置内のデータの経路の第3の例を示すブロック図。

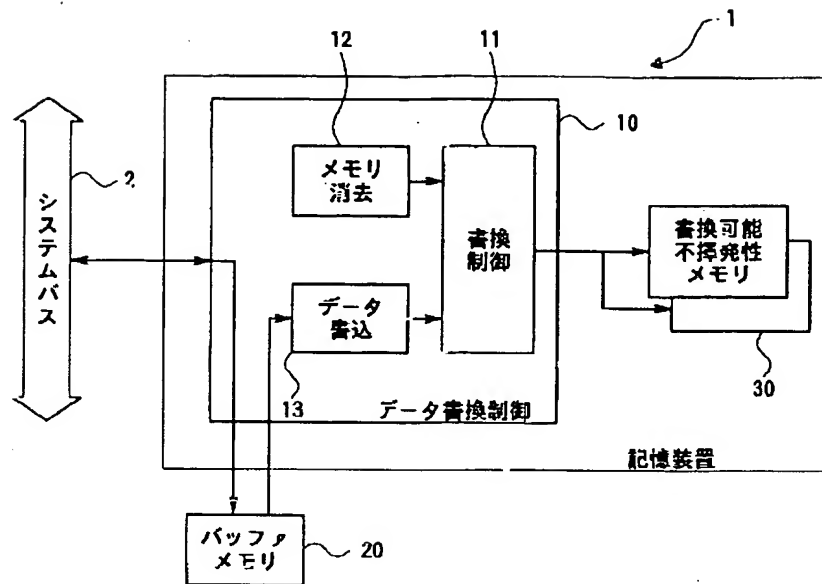
【図6】図1および図5に示した記憶装置により、データの書換えが並列して実行されるとき処理の順序を示す図(2)。

【図7】消去時間が書込時間と比較して長いメモリを用いた場合のデータの書換えを高速に行う処理の順序を示す図。

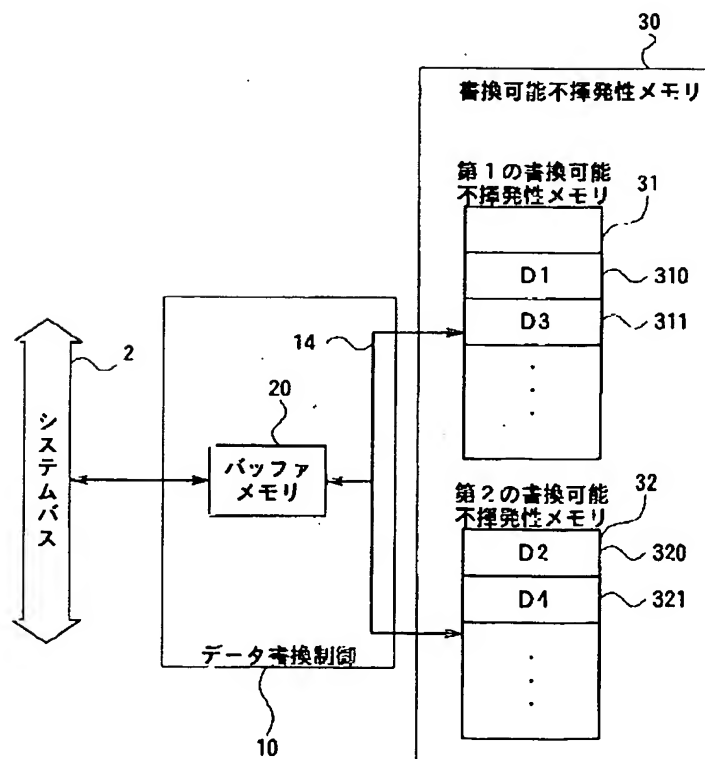
【符号の説明】

- 1 記憶装置
- 2 システムバス
- 10 データ書換制御回路
- 11 書換制御手段
- 12 メモリ消去手段
- 13 データ書込手段
- 14, 141, 142 データバス
- 20 バッファメモリ
- 30 書換可能不揮発性メモリ
- 31 第1の書換可能不揮発性メモリ
- 32 第2の書換可能不揮発性メモリ
- 33 第3の書換可能不揮発性メモリ
- 34 第4の書換可能不揮発性メモリ
- 41 システムバス-バッファメモリ間データ転送処理
- 42 書換可能不揮発性メモリのデータ消去処理
- 43 バッファメモリ-書換可能不揮発性メモリ間データ転送処理
- 44 書換可能不揮発性メモリのデータ書込処理
- 201 第1のバッファメモリ
- 202 第2のバッファメモリ
- 310, 311, 320, 321, 330, 331 メモリブロック

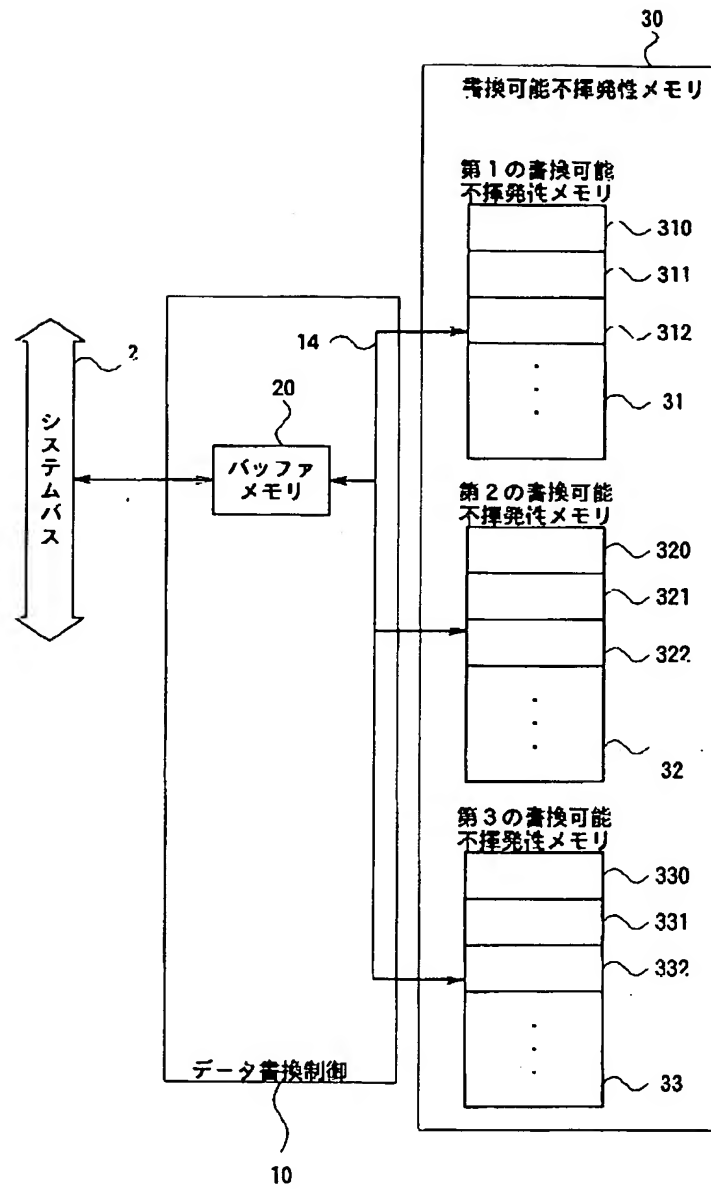
【図1】



【図2】

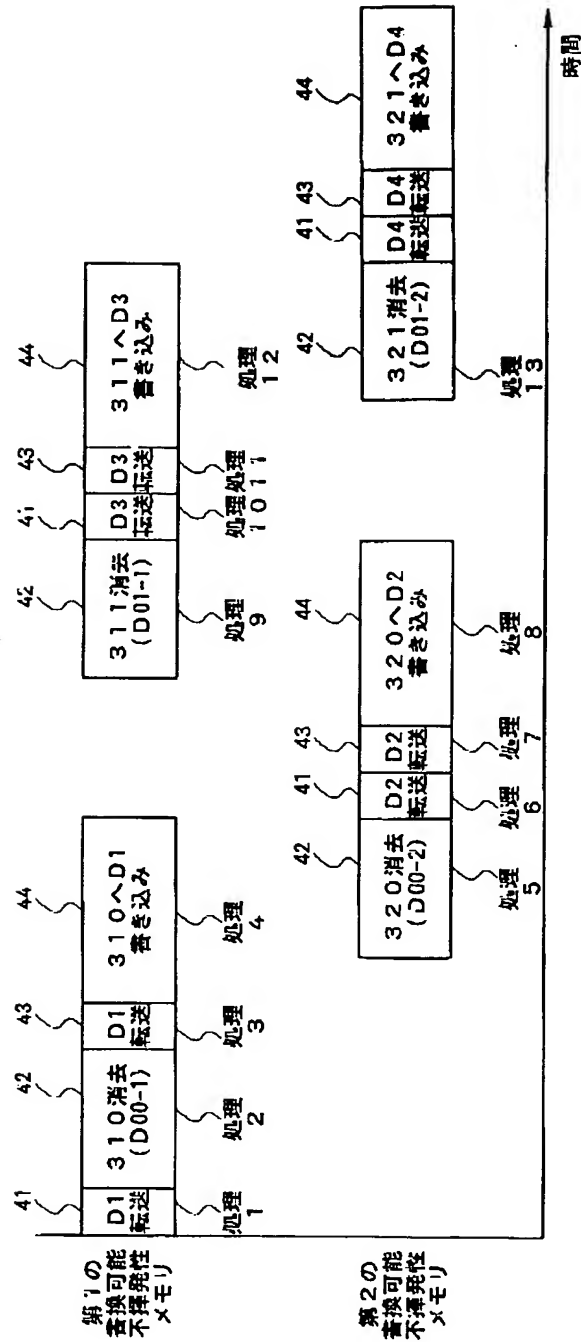


【図3】

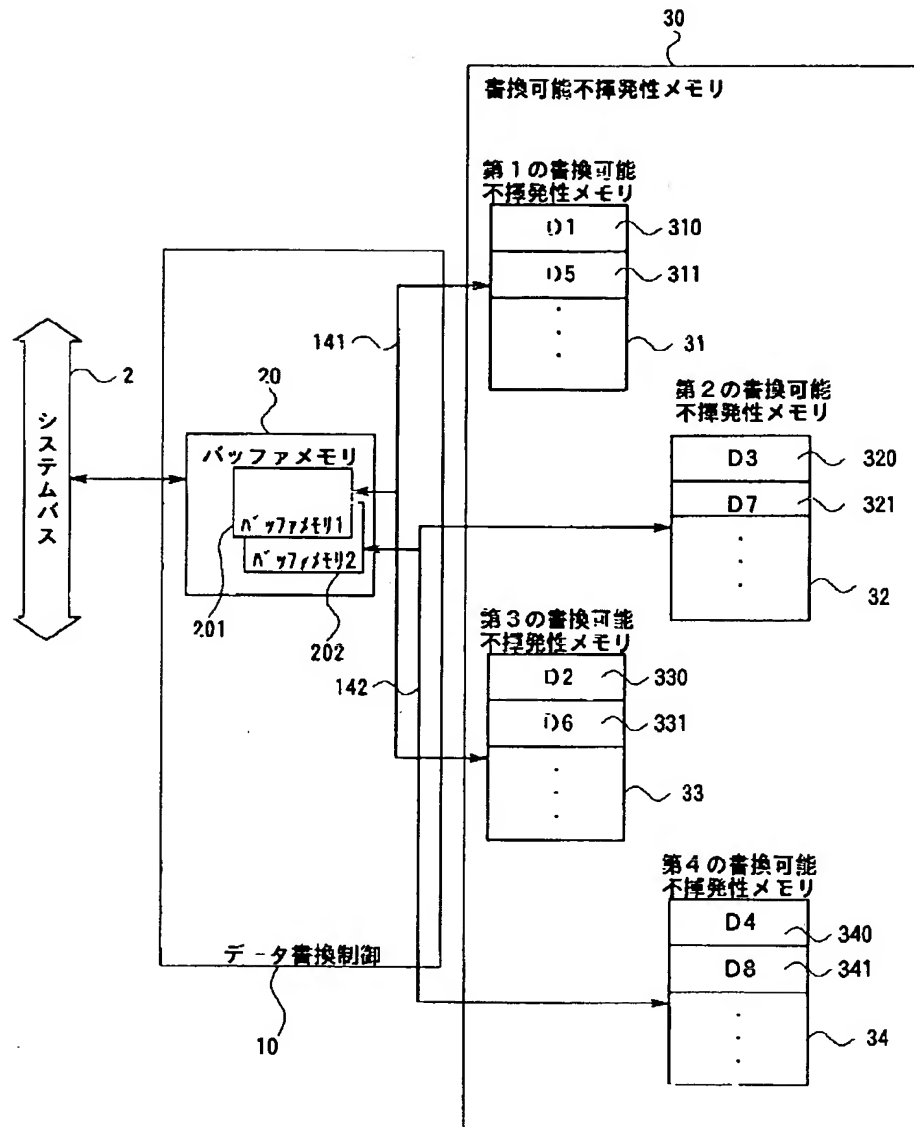




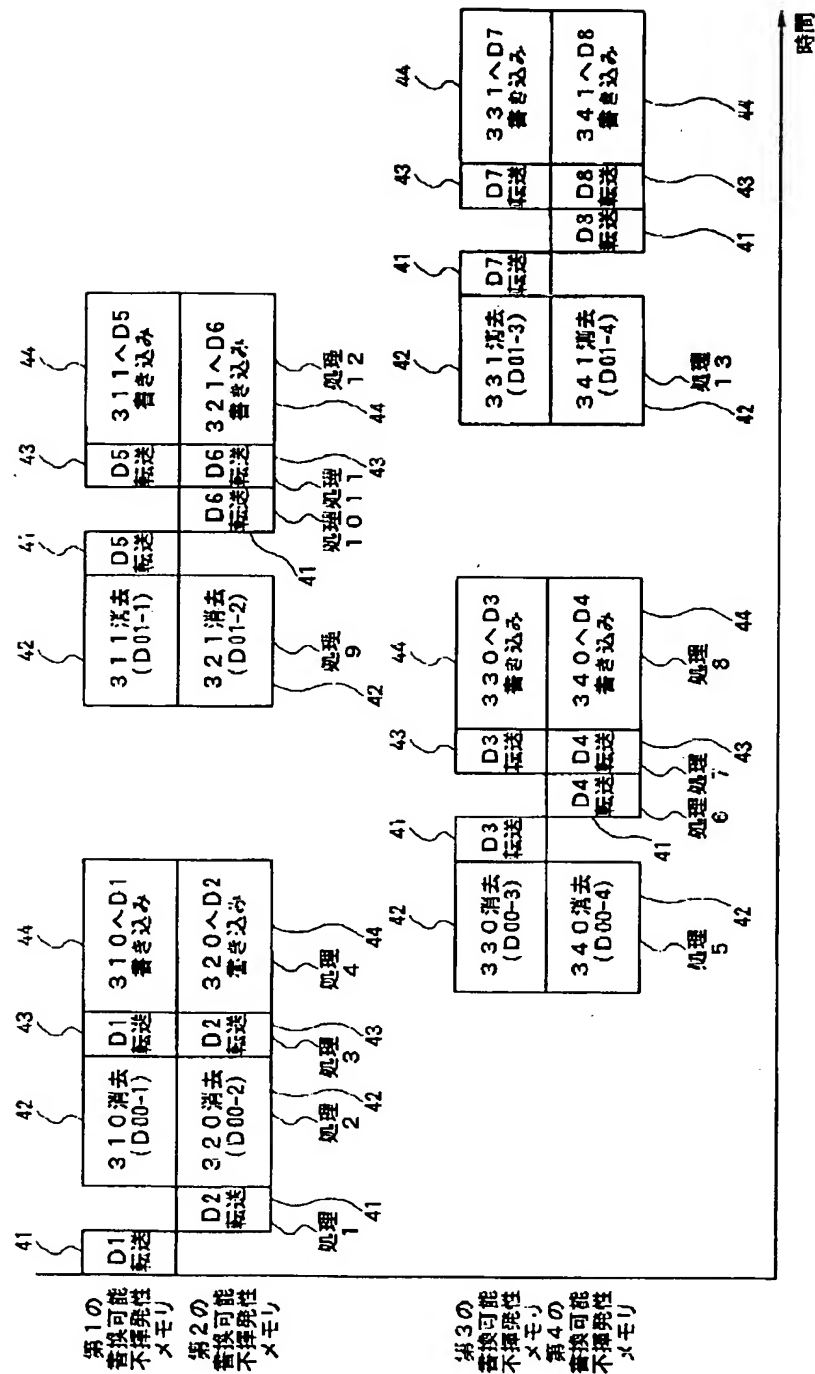
【図4】



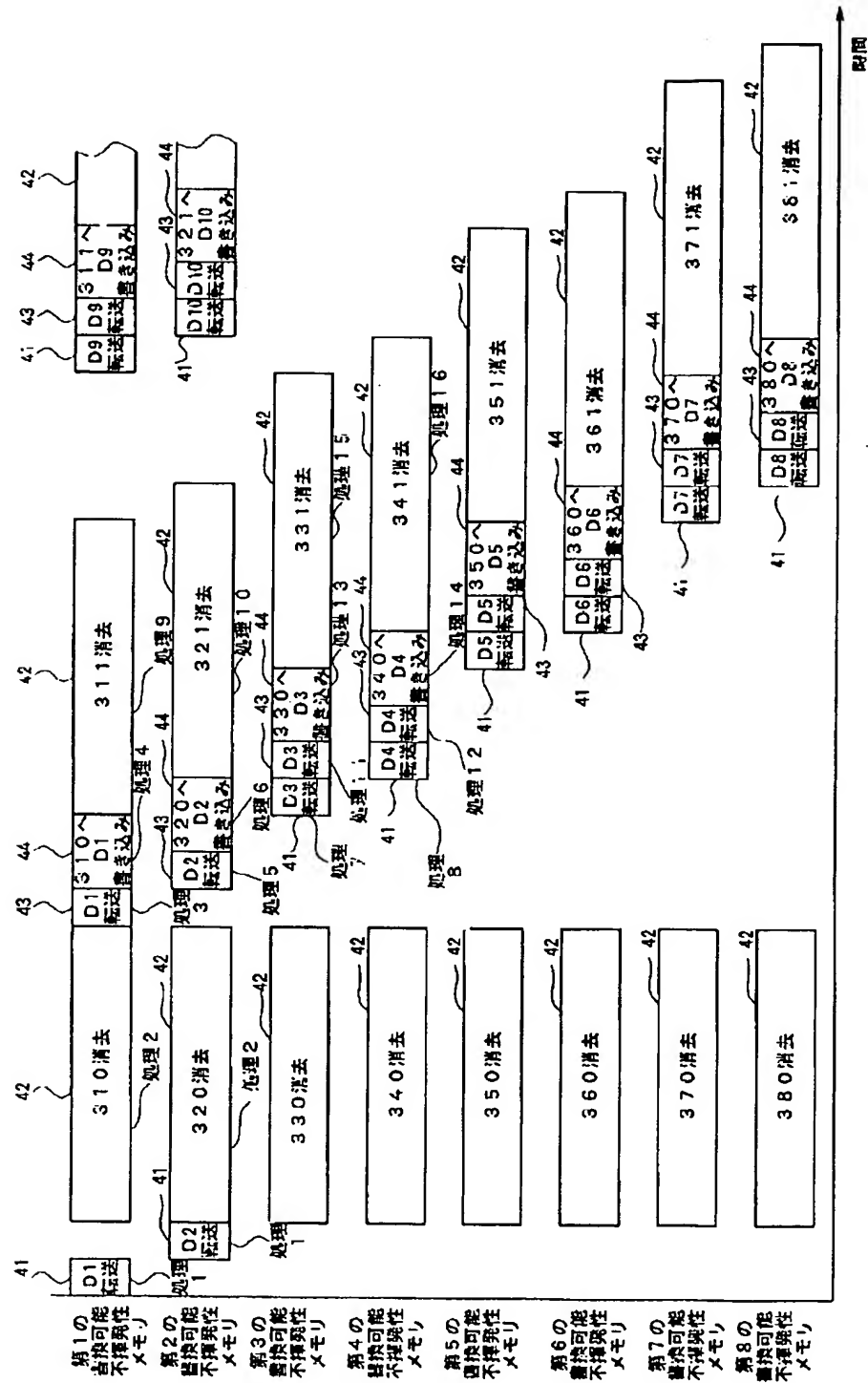
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 戸塚 隆

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**